

552353

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005年9月22日 (22.09.2005)

PCT

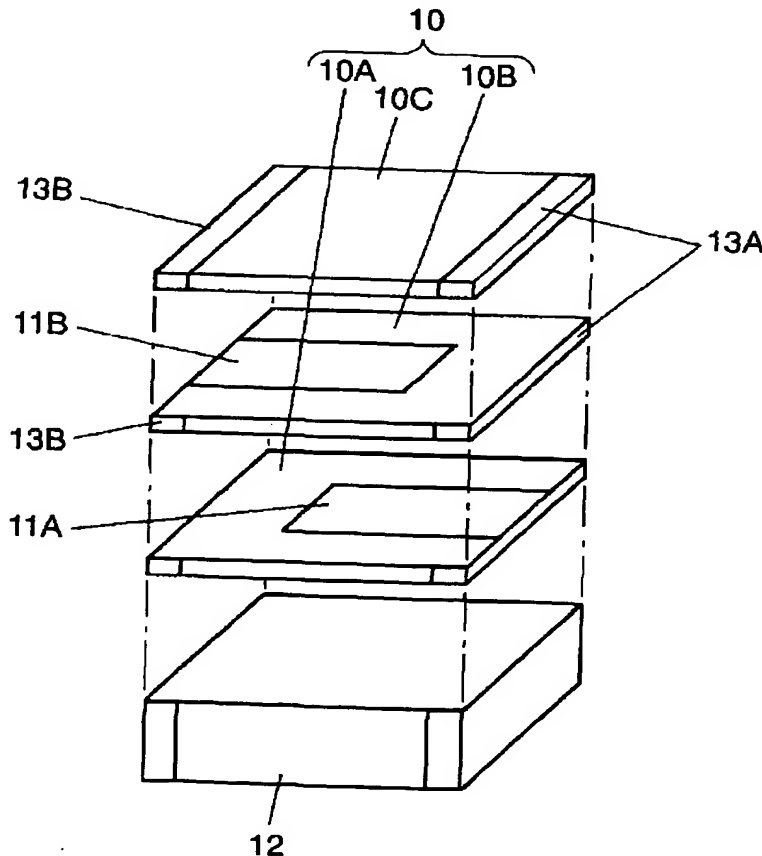
(10) 国際公開番号  
WO 2005/088654 A1

- (51) 国際特許分類<sup>7</sup>: H01C 7/10, H01F 27/00 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2005/004186 (75) 発明者/出願人 (米国についてのみ): 井上 竜也 (INOUE, Tatsuya). 勝村 英則 (KATSUMURA, Hidenori). 加賀田 博司 (KAGATA, Hiroshi).  
(22) 国際出願日: 2005年3月10日 (10.03.2005) (74) 代理人: 岩橋 文雄, 外 (IWAHASHI, Fumio et al.); 〒5718501 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内 Osaka (JP).  
(25) 国際出願の言語: 日本語 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.  
(26) 国際公開の言語: 日本語  
(30) 優先権データ: 特願2004-072562 2004年3月15日 (15.03.2004) JP  
(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 番地 Osaka (JP).

[続葉有]

(54) Title: STATIC ELECTRICITY COUNTERMEASURE COMPONENT

(54) 発明の名称: 静電気対策部品



(57) Abstract: A static electricity countermeasure component is provided with a ceramic insulating board, a varistor part composed of a varistor layer and an internal electrode integrally provided by being sintered on the ceramic insulating board, and at least one pair of external electrodes provided on the varistor part. A varistor is formed on the varistor part. The static electricity counter measure component is suitable for high-frequency devices and has an extremely small electrostatic capacity.

(57) 要約: セラミック絶縁基板と、セラミック絶縁基板上に焼結一体化して設けたバリスタ層と内部電極とからなるバリスタ部と、バリスタ部に設けた少なくとも一対の外部電極とを有し、バリスタ部にバリスタを形成した構成からなり、高周波機器に適した静電容量の極めて小さな静電気対策部品を実現できる。

WO 2005/088654 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

## 明 細 書

### 静電気対策部品

### 技術分野

[0001] 本発明は電子機器を静電気から保護する静電気対策部品に関する。

### 背景技術

[0002] 近年、携帯電話などの電子機器の小型化、高性能化が急速に進み、それに伴い電子機器の電気回路が高密度化し、その耐電圧が低下している。そのため、人体と電子機器の端子が接触したときに発生する静電気パルスによる機器内部の電気回路の破壊が増えてきている。

[0003] 従来、このような静電気パルスによる破壊を防止するための対策としては、静電気が入るラインとグランド間に積層チップバリスタ等を設けて静電気をバイパスさせ、機器の電気回路に印加される電圧を抑制する方法が行われている。

[0004] このような静電気パルスの対策に用いられる従来の積層チップバリスタに関連する先行技術文献情報としては、例えば日本特開平8-31616号公報が知られている。

[0005] 最近では、電子機器の高性能化に伴い、電子機器を動作させるクロック周波数もますます高周波化している。この結果、静電気対策部品のような電子部品においても、クロック周波数に影響を与えないように静電容量の小さなものが求められるようになってきている。また、携帯電話などの送受信の周波数は800MHz〜2GHzといった高い周波数であり、これに対応する静電気対策部品も同様に静電容量の小さなものが求められている。

[0006] しかしながら、従来の積層チップバリスタは、それを構成する酸化亜鉛系材料の比誘電率が数百から千数百程度あるため、浮遊容量によって1pF以下の静電容量を実現することは困難であった。例えば、従来の長さ1.0mm、幅0.5mmサイズの積層バリスタの場合、静電容量の最も小さなもので3pF程度であり、そのカットオフ周波数は約1GHz程度、共振周波数は約1.8GHzである。したがって、1GHzを越える高い周波数で使用することはできなかった。

[0007] 本発明は、かかる問題点に鑑みてなされたもので、静電容量が非常に小さい静電

気対策部品を提供することを目的とする。

## 発明の開示

- [0008] 上記目的を達成するため、本発明の静電気対策部品は、セラミック絶縁基板と、このセラミック絶縁基板上に焼結一体化して設けたバリスタ層と内部電極とからなるバリスタ部と、バリスタ部に設けた少なくとも一对の外部電極とを有し、上記バリスタ部にバリスタを形成した構成からなる。
- [0009] これにより、セラミック絶縁基板としてバリスタ層の材料よりも比誘電率の低い材料を任意に設定できる。したがって、静電気対策部品としての浮遊容量を小さくすることができ、静電容量が非常に小さい静電気対策部品を実現できる。
- [0010] また、上記構成において、外部電極はバリスタ部の同一面に焼結一体化して設けた構成としてもよい。これにより、外部電極の面積を小さくすることができ、さらに浮遊容量を小さくすることができる。この結果、さらに静電容量を小さくすることができる静電気対策部品が得られる。
- [0011] また、上記構成において、セラミック絶縁基板の厚みはバリスタ部の厚みの2倍以上とすることが望ましい。これにより、バリスタ部とセラミック絶縁基板とを焼結して一体化した場合に、実用的に問題ない程度の反りとすることができる。
- [0012] また、上記構成において、バリスタ層は酸化亜鉛を主成分とする材料であり、かつセラミック絶縁基板は酸化銅の含有量が重量比で0.1%以下のアルミナ基板である構成としてもよい。これにより、セラミック絶縁基板において、酸化亜鉛バリスタの特性発現の阻害物質である酸化銅の含有量を少なくしているので、焼成時にアルミナ基板からバリスタ層への酸化銅の拡散を防ぐことができる。したがって、バリスタ特性の発現をより確実に、かつ再現性よく行なうことができ、より安定した特性の静電気対策部品を得ることができる。
- [0013] また、上記構成において、バリスタ部の上面は外部電極の形成領域を除き保護膜が形成されていることが望ましい。これにより、外部電極へのめっき皮膜の形成を容易に行なうことができ、より実装性の優れた静電気対策部品が得られる。
- [0014] また、上記構成において、セラミック絶縁基板はインダクタを内蔵し、このインダクタはバリスタ部のバリスタに電氣的に接続された構成としてもよい。これにより、バリスタ

機能に加えてインダクタ機能を付加しているので、フィルタ機能を付加することができる。この結果、静電気抑制効果をさらに高めることができ、優れた静電気対策部品を実現できる。

- [0015] さらに、上記構成において、バリスタは2個からなり、これらのバリスタとインダクタとにより $\pi$ 型フィルタ構成としてもよい。あるいは、バリスタとインダクタとを複数設けて多段構成のローパスフィルタとしてもよい。
- [0016] このように複数個設けることで種々のフィルタ回路を実現できることから、さらに静電気抑制効果に優れた静電気対策部品を実現することができる。
- [0017] 以上のように本発明の静電気対策部品は、静電容量を非常に小さくすることができるので、高周波のクロック周波数で作動する電子機器でもその動作に影響を与えることがなく、静電気パルスによる破壊から高周波の電子機器を保護することができる。

#### 図面の簡単な説明

- [0018] [図1]図1は、本発明の第1の実施の形態にかかる静電気対策部品の模式的分解斜視図である。
- [図2]図2は、同実施の形態にかかる静電気対策部品の外観斜視図である。
- [図3]図3は、同実施の形態にかかる静電気対策部品の等価回路図である。
- [図4]図4は、同実施の形態にかかる静電気対策部品の静電気試験に用いる試験回路図である。
- [図5]図5は、本発明の第2の実施の形態にかかる静電気対策部品の模式的分解斜視図である。
- [図6]図6は、同実施の形態にかかる静電気対策部品の外観斜視図である。
- [図7]図7は、本発明の第3の実施の形態にかかる静電気対策部品の模式的分解斜視図である。
- [図8]図8は、同実施の形態にかかる静電気対策部品の外観斜視図である。
- [図9]図9は、同実施の形態にかかる静電気対策部品の等価回路図である。
- [図10]図10は、本発明の第1の実施の形態および第2の実施の形態にかかる静電気対策部品の周波数特性の評価結果を示す図である。

#### 符号の説明

- [0019] 10, 50, 70 バリスタ部
- 10A, 10B, 10C, 10D, 10E, 10F, 10G, 10H バリスタ層
- 11A, 11B, 11C, 11D, 11E, 11F 内部電極
- 12 セラミック絶縁基板
- 13A, 13B, 14A, 14B 外部電極
- 15A グランド用外部電極
- 15B 入力用外部電極
- 15C 出力用外部電極
- 17 ビア導体
- 18 保護膜
- 19 インダクタ導体
- 20 ガラスセラミック基板(セラミック絶縁基板)
- 20A, 20B, 20C ガラスセラミック層
- 101 直流電源
- 102, 106 抵抗
- 103, 105 スイッチ
- 104 容量ボックス
- 107 グランドライン
- 108 信号ライン
- 109 評価試料
- 110 被保護機器
- 201 バリスタ
- 202 入出力用外部電極
- 203 グランド用外部電極
- 204 入力用外部電極
- 205 出力用外部電極
- 206 インダクタ

発明を実施するための最良の形態

[0020] 以下、本発明の実施の形態にかかる静電気対策部品について、図面を参照して詳細に説明する。なお、同じ要素については同じ符号を付しており、説明を省略する場合がある。

[0021] (第1の実施の形態)

図1は、本発明の第1の実施の形態にかかる静電気対策部品の模式的分解斜視図である。また、図2は、この静電気対策部品の外観斜視図である。さらに、図3は、この静電気対策部品の等価回路図である。

[0022] 図1および図2に示すように、本実施の形態にかかる静電気対策部品は、セラミック絶縁基板12の上に、バリスタ層10A、10B、10Cと内部電極11A、11Bとを交互に積層し、これらを一体化したセラミック焼結体に一对の外部電極13A、13Bを設けた構成からなる。すなわち、バリスタ層10Aを形成後、内部電極11Aをバリスタ層10Aの図示する位置に形成する。この後、さらにバリスタ層10Bを積層し、このバリスタ層10Bの所定の位置に内部電極11Bを形成し、その上にバリスタ層10Cを積層し、これらをセラミック絶縁基板12に貼り付けて焼結することで、セラミック焼結体としたものである。

[0023] なお、内部電極11Aはセラミック焼結体の一方の端部に引き出し、外部電極13Aと電氣的に接続している。また、内部電極11Bはセラミック焼結体の他方の端部に引き出し、外部電極13Bと電氣的に接続している。

[0024] 図3は、このような構成からなる本実施の形態の静電気対策部品の等価回路図である。この等価回路は、本実施の形態の静電気対策部品であるバリスタ201と、その入出力用外部電極202と、グランド用外部電極203とにより構成されている。なお、本実施の形態の静電気対策部品では、上記したように外部電極13A、13Bは等価回路的に同じ構成である。したがって、実際に回路に接続して使用する際には、これらの外部電極13A、13Bのどちらか一方が入出力用外部電極202となり、他方がグランド用外部電極203となる。

[0025] 本実施の形態にかかる静電気対策部品は、バリスタ層10A、10B、10Cと、内部電極11A、11Bと、外部電極13A、13Bとを備えたバリスタ部10をセラミック絶縁基板12上に貼り付け、焼結して一体化したセラミック焼結体としたものである。したがって、

セラミック絶縁基板12の材料として、バリスタ層10A、10B、10Cの材料よりも比誘電率の低いものを選択すれば、静電気対策部品としての浮遊容量を小さくすることができる。これにより、静電容量を非常に小さくできるため、非常に高速のクロック周波数を有する電気回路に適用できる静電気対策部品を実現できる。

[0026] 次に、本実施の形態にかかる静電気対策部品の製造方法について、図1および図2を用いて説明する。

[0027] まず、酸化亜鉛を主成分とするセラミック粉末と有機バインダとを含む酸化亜鉛生シートを作製し、準備する。この時、この酸化亜鉛生シートの厚みは約 $30\mu\text{m}$ とした。

[0028] 最初に、酸化亜鉛生シートの上に銀を主成分とする導体ペーストを用いて、スクリーン印刷法で内部電極11Aとなる導体層を形成する。さらに、この上に酸化亜鉛生シートを積層する。次に、この酸化亜鉛生シート上に、上記と同じ導体ペーストを用いて、同様にスクリーン印刷法で内部電極11Bとなる導体層を形成する。さらに、この上に酸化亜鉛生シートを積層して、積層体を形成する。

[0029] 次に、セラミック絶縁基板12としてアルミナ基板を用い、このアルミナ基板上に上記の積層体を貼り付け、積層体ブロックとする。なお、セラミック絶縁基板12であるアルミナ基板の厚みは約 $250\mu\text{m}$ であり、内部電極11A、11Bとなる導体層の厚みは約 $2.5\mu\text{m}$ とした。

[0030] また、本実施の形態では、アルミナ基板上に複数個の静電気対策部品を作製している。このために、印刷した導体層のパターンは、図1および図2に示す形状を多数、酸化亜鉛生シート上に形成している。これにより、切断した後には、図2に示す形状の静電気対策部品を一度に多数作製することができる。

[0031] 次に、上記の積層体ブロックを大気中で加熱して脱バインダ処理する。この処理後、大気中でさらに $930^{\circ}\text{C}$ まで加熱して焼成することで、一体化した焼結体を得られる。

[0032] 次に、焼結体を所定の寸法で切断して個片に分離する。これにより、図1および図2に示す本実施の形態にかかる静電気対策部品となる前、すなわち外部電極13A、13Bが形成される前の状態のセラミック焼結体を得られる。

[0033] 続いて、これらのセラミック焼結体の長辺側の両端部に、銀を主成分とする導体ペ



ーストを塗布した後、800℃で焼付けを行い、外部電極13A、13Bを形成する。以上の方法により、図1および図2に示す本実施の形態にかかる静電気対策部品が得られる。

[0034] 作製した静電気対策部品は、長手方向寸法が約1.0mm、幅方向寸法が約0.5mm、厚み方向寸法が約0.3mmである。そして、外部電極13A、13B間の静電容量は1pFであり、バリスタ電圧を $V_{1mA}$  (1mAの電流が流れる時の電圧)としたとき、 $V_{1mA} = 27V$ が得られた。

[0035] また、比較のために、内部電極寸法、外形寸法、および酸化亜鉛生シートを本実施の形態にかかる静電気対策部品と同じとし、さらにバリスタ電圧が $V_{1mA} = 27V$ となる積層バリスタを作製した。この積層バリスタの静電容量は約3pFであった。

[0036] そして、本実施の形態にかかる静電気対策部品(以下、実施例1とよぶ)および比較のために作製した積層バリスタ(以下、比較例とよぶ)について、周波数特性を評価した。図10は、周波数特性の評価結果を示す図である。縦軸は挿入損失を示し、横軸は周波数である。図10に示すように、静電容量が3pFである比較例の共振周波数に比べ、実施例1の共振周波数は高い値が得られた。すなわち、実施例1の共振周波数は2.8GHzが得られた。この結果、1GHzを越える周波数でも使うことができることが見出された。したがって、より高周波での使用に適している静電気対策部品が得られた。

[0037] 次に、実施例1および比較例について、静電気試験を行い評価した。

[0038] 図4は、この静電気対策部品の静電気試験に用いる試験回路図である。この試験回路は、スイッチ103を接続して直流電源101より抵抗102を介し所定の電圧を印加して、容量ボックス104(静電容量:150pF)に電荷をチャージする。次に、スイッチを切り替える。すなわち、スイッチ103を開放し、スイッチ105を接続する。これにより、容量ボックス104にチャージした電荷を静電気パルスとして、抵抗106を介して信号ライン108を通して被保護機器110に印加する構成からなる。

[0039] 実施例1の評価に対しては、図4に示す評価試料109の位置に実施例1を配置し、入出力用外部電極202を信号ライン108側に接続し、グランド用外部電極203をグランドライン107に接続した。

- [0040] そして、静電気パルスを印加した時の、被保護機器110の直前の信号ライン108とグランドライン107間の電圧波形を測定した。この測定により、静電気パルスをバイパスさせることにより、被保護機器110に印加される電圧の抑制効果、つまり、評価試料109である実施例1の静電気パルスに対する吸収抑制効果を評価することができる。
- [0041] また、比較のために、前述した静電容量が3pF、バリスタ電圧 $V_{1mA} = 27V$ である比較例を同様に評価試料109の位置に配置し、信号ライン108とグランドライン107間に接続した場合の静電気パルスに対する吸収抑制効果も評価した。なお、吸収抑制効果は、図4に示す静電気試験回路により8kVを印加した静電気パルスのピーク電圧値の比較によって確認した。
- [0042] 比較例を信号ライン108とグランドライン107間に接続した場合に、被保護機器110に印加されるピーク電圧値は約220Vであった。これに対して、実施例1を接続した場合には、被保護機器110に印加されるピーク電圧値は約230Vであった。したがって、それぞれの構成が全く異なるにもかかわらず、静電気パルスに対する吸収抑制効果は従来の積層バリスタとほとんど変わらないことが見出された。さらに、実施例1は、比誘電率が10程度のアルミナが部品の体積の大部分を占めるため、その静電容量は従来の積層バリスタの1/3にすることができる。
- [0043] なお、本実施の形態にかかる静電気対策部品において、バリスタ部10の積層数を多くし、焼成後のバリスタ部10の厚みをセラミック絶縁基板12であるアルミナ基板の厚み $250\mu m$ の1/2よりも大きい値、すなわち約 $130\mu m$ 以上にした試料の作製も検討した。しかし、この試料は、焼成後に大きな反りを生じ、静電気対策部品として実用できるものは得られなかった。一方、本実施の形態と同様にアルミナ基板の厚みに対して1/2以下の厚みとした場合には、実用的に問題のないレベルの反りに抑えられることが見出された。したがって、セラミック絶縁基板12の厚みは、バリスタ部10の厚みの2倍以上とすることが好ましい。
- [0044] なお、本実施の形態にかかる静電気対策部品のセラミック絶縁基板12として、酸化銅が0.1重量%を超える含有量のアルミナ基板を用いた試料も作製し、特性を評価した。このアルミナ基板を用いて作製した試料の場合には、図4に示す静電気試験回路により8kVを印加した静電気パルスのピーク電圧値が約400Vとなることが見出

された。一方、本実施の形態で説明したように酸化銅の含有量を0.1重量%以下とした種々のアルミナ基板を用いた試料も作製し、特性を評価した。これらの試料においては、すべて実施例1と同様な結果が得られた。したがって、酸化銅の含有量が0.1重量%を超えるアルミナ基板を用いると、静電気パルスに対する吸収抑制効果が悪くなることが確認された。以上の結果から、セラミック絶縁基板12は、酸化銅の含有量が重量比で0.1%以下のアルミナ基板であることが望ましいことが見出された。

[0045] (第2の実施の形態)

図5は、本発明の第2の実施の形態にかかる静電気対策部品の模式的分解斜視図である。図6は、この静電気対策部品の外観斜視図である。なお、本実施の形態にかかる静電気対策部品の等価回路図は、第1の実施の形態の静電気対策部品で説明した図3に示す等価回路図と同様である。

[0046] 図5および図6に示すように、本実施の形態にかかる静電気対策部品は、セラミック絶縁基板12上にバリスタ部50を形成し、外部電極14A、14Bと保護膜18とを設けた構成からなる。すなわち、バリスタ層10D、10Eと、内部電極11Cと、外部電極14A、14Bとを積層してバリスタ部50とし、このバリスタ部50をセラミック絶縁基板12の上に貼り付けて焼結し、一体化したセラミック焼結体とする。そのセラミック焼結体のバリスタ部50の表面に外部電極14A、14Bを設けている。また、内部電極11Cはビア導体17によって外部電極14Bと電氣的に接続した構成としている。そして、バリスタ部50の上面は、外部電極14A、14Bが形成されている領域を除いて保護膜18により覆われた構成としている。

[0047] このような構成からなる本実施の形態にかかる静電気対策部品は、図3に示す等価回路と同じである。すなわち、本実施の形態においてもその等価回路は、本実施の形態の静電気対策部品であるバリスタ201と、その入出力用外部電極202と、グランド用外部電極203とにより構成されている。なお、上記したように、外部電極14A、14Bは、等価回路的には同じ構成である。したがって、実際に回路に接続して使用する際には、どちらか一方が入出力用外部電極202、他方がグランド用外部電極203となる。

[0048] 上記したように、本実施の形態にかかる静電気対策部品は、バリスタ層10D、10E

と内部電極11Cと外部電極14A、14Bとを備えたバリスタ部50をセラミック絶縁基板12上に貼り付けて焼結して一体化したセラミック焼結体とした構成である。この場合に、セラミック絶縁基板12として、バリスタ層10D、10Eの材料よりも比誘電率の小さい材料を選ぶことで、静電気対策部品としての浮遊容量を小さくすることができ、静電容量を非常に小さくできる。これにより、非常に高速のクロック周波数を有する電気回路に適用できる静電気対策部品を実現できる。

[0049] さらに、本実施の形態にかかる静電気対策部品は、特に、外部電極14A、14Bを同一面上に設けているため、第1の実施の形態にかかる静電気対策部品と比較して、外部電極14A、14Bの面積をより小さくできる。さらに、内部電極11Cの面積も小さくできる。これらにより、さらに静電容量を小さくすることができる。したがって、本実施の形態にかかる静電気対策部品は、クロック周波数のより高速な電気回路にも適用することが可能となる。また、回路基板に接続するための外部電極14A、14Bを同一面上に設けているので、回路基板に実装して回路を構成した際に、回路の小型高密度化と薄型化を図ることができる。さらに、実装のコストを削減することもできる。

[0050] さらに、本実施の形態にかかる静電気対策部品は、内部電極11Cがビア導体17により外部電極14Bと電氣的に接続されている。これにより、第1の実施の形態のような外部電極を形成するための工程を不要にできるので、製造工程をさらに簡略化することができる。

[0051] そして、バリスタ部50の上面は、外部電極14A、14Bが形成されている領域を除いて保護膜18により覆われている。これにより、外部電極14A、14Bへのめっき皮膜の形成を容易に行うことができ、より実装の確実性と信頼性に優れた静電気対策部品を得ることができる。なお、めっき皮膜としては、ニッケル(Ni)とはんだを形成する。ただし、金(Au)、銅(Cu)、銀(Ag)等を用いてもよい。

[0052] 以下、本実施の形態にかかる静電気対策部品の製造方法について、図5および図6を用いて説明する。

[0053] まず、酸化亜鉛を主成分とするセラミック粉末と有機バインダからなる酸化亜鉛生シートを作製し準備する。この時、生シートの厚みは約 $30\mu\text{m}$ とした。

[0054] 上記の酸化亜鉛生シートの上に銀を主成分とする導体ペーストを用いて、例えばス

クリーン印刷法で内部電極11Cとなる導体層を形成する。この導体層の上部で、かつ外部電極142に電氣的に接続するような位置に、ビア導体17となる導体ペーストが充填された酸化亜鉛生シートを積層する。なお、この酸化亜鉛生シートは焼成後にはバリスタ層10Eとなる。

- [0055] つぎに、そのバリスタ層10Eとなる酸化亜鉛生シートの上部に導体ペーストを用いて、例えばスクリーン印刷法で外部電極14A、14Bとなる導体層を形成する。これにより、バリスタ部50となる積層体を得られる。
- [0056] つぎに、セラミック絶縁基板12としてアルミナ基板を用い、このアルミナ基板上に上記の積層体を貼り付け、積層体ブロックとする。
- [0057] なお、本実施の形態では、上記のアルミナ基板の厚みは約 $250\mu\text{m}$ 、導体層の厚みは約 $2.5\mu\text{m}$ とした。また、本実施の形態では、アルミナ基板上に複数の静電気対策部品を作製している。このために、印刷した導体層のパターンは、図5および図6に示す形状を多数、酸化亜鉛生シート上に形成している。これにより、切断した後には、図6に示す形状の静電気対策部品を一度に多数作製することができる。
- [0058] つぎに、上記の積層体ブロックを大気中で加熱して脱バインダ処理する。その後、大気中で $930^{\circ}\text{C}$ まで加熱して焼成し、一体化した焼結体を作製する。その後、外部電極14A、14Bの形成された領域を除くバリスタ部50の表面に保護膜18を形成する。この保護膜18は、熱硬化性樹脂ペーストを用いてスクリーン印刷法で形成し、所定の温度で熱硬化性樹脂を硬化させて形成する。
- [0059] 続いて、保護膜18を形成した焼結体の外部電極14A、14Bの表面にニッケル(Ni)とはんだとからなる二層めっきを形成する。その後、所定の寸法に切断分離する。これにより、図5および図6に示した本実施の形態にかかる静電気対策部品を得ることができる。
- [0060] 作製した本実施の形態にかかる静電気対策部品は、長手方向寸法が約 $1.0\text{mm}$ 、幅方向寸法が約 $0.5\text{mm}$ 、厚み方向寸法が約 $0.3\text{mm}$ である。そして、外部電極14A、14B間の静電容量は $0.4\text{pF}$ 、バリスタ電圧 $V_{1\text{mA}} = 27\text{V}$ であった。以下、このようにして作製した静電気対策部品を実施例2とよぶ。
- [0061] そして、本実施の形態にかかる静電気対策部品である実施例2について、周波数

特性を評価した。周波数特性の評価結果を図10に示す。図10に示すように、比較例および実施例1に比べ、実施例2の共振周波数は4GHzと高い値が得られた。したがって、実施例2は、2GHzを越える周波数でも使用可能であり、より高周波での使用が可能な静電気対策部品とすることができた。

[0062] つぎに、実施例2について、静電気試験を行い評価した。

[0063] 静電気試験の評価は、第1の実施の形態で説明した静電気試験と同様に、実施例2を図4に示す評価試料109として用い、実施例2であるバリスタ201の入出力用外部電極202を信号ライン108側に接続し、グランド用外部電極203をグランドライン107に接続した。このように接続した状態で、図4に示す回路により印加される静電気パルスの電圧8kVを印加し、被保護機器110に印加される静電気パルスのピーク電圧値を測定して、その抑制効果を評価した。

[0064] 実施例2を設けた場合に、被保護機器110に印加されるピーク電圧値は約230Vであった。この結果、実施例2は静電気パルスに対する吸収抑制効果を充分有することがわかった。さらに、実施例2は、内部電極113の面積および外部電極14A、14Bの面積を小さくすることで、浮遊容量を減らすことができる。このため、実施例1と比べても、静電容量を1/2以下にすることが可能である。

[0065] また、本実施の形態の静電気対策部品では保護膜18を形成しているが、この保護膜18を形成せずに、ニッケルおよびはんだの二層構成のめっきをすると、外部電極14A、14B以外の領域において部分的にめっき流れが起こり、歩留まりが非常に悪くなることが見出された。

[0066] なお、本実施の形態の静電気対策部品は、保護膜を形成するために樹脂ペーストを用いたが、ガラスペーストを用いて焼き付けた保護膜としてもよい。あるいは、ガラスペーストをバリスタ部50と一体的に焼成して形成してもよい。

[0067] (第3の実施の形態)

図7は、本発明の第3の実施の形態にかかる静電気対策部品の模式的分解斜視図である。また、図8は、この静電気対策部品の外観斜視図である。さらに、図9は、この静電気対策部品の等価回路図である。

[0068] 図7および図8に示すように、本実施の形態にかかる静電気対策部品は、バリスタ

部70と、インダクタを内蔵したガラスセラミック基板20と、グランド用外部電極15A、入力用外部電極15Bおよび出力用外部電極15Cを備えた構成からなる。なお、本実施の形態では、ガラスセラミック基板が本発明でいうセラミック絶縁基板である。これ以降の説明では、必要に応じてセラミック絶縁基板20またはガラスセラミック基板20と表記する。

[0069] バリスタ部70は、バリスタ層10F、10G、10Hと、内部電極11D、11E、11Fとを積層した構成からなる。また、ガラスセラミック基板20は、ガラスセラミック層20A、20B、20Cと、ガラスセラミック層20B上に形成されたインダクタ導体19を有しており、これらのガラスセラミック層20A、20B、20Cが積層された構成からなる。

[0070] バリスタ部70は、インダクタを内蔵したガラスセラミック基板20の上に設けられている。なお、内部電極11Dとインダクタ導体19および内部電極11Eとインダクタ導体19は、それぞれのビア導体17によって電氣的に接続されている。これらを積層した後に焼結して一体化したセラミック焼結体とし、さらにこのセラミック焼結体にグランド用外部電極15A、入力用外部電極15Bおよび出力用外部電極15Cを設けた構成からなる。

[0071] 内部電極11Fはセラミック焼結体の短辺側の両端部に延在されており、グランド用外部電極15Aと電氣的に接続されている。また、内部電極11Dは長辺側の一方の端部に延在されており、入力用外部電極15Bと電氣的に接続されている。さらに、内部電極11Eは長辺側の他方の端部まで延在されており、出力用外部電極15Cと電氣的に接続されている。

[0072] 図9は、本実施の形態にかかる静電気対策部品の等価回路を示す図である。図9に示すように、本実施の形態の静電気対策部品は、2つのバリスタ201がインダクタ206に対して並列に接続されている。2つのバリスタ201はグランド用外部電極203、入力用外部電極204および出力用外部電極205にそれぞれ図示するように接続されている。また、インダクタ206は入力用外部電極204と出力用外部電極205との間に設けられている。

[0073] なお、上記したように、本実施の形態の静電気対策部品の入力用外部電極15Bと出力用外部電極15Cとは、等価回路的には同じ構成である。したがって、実際に回

路に接続して使用する際には、どちらか一方が入力用外部電極204、他方が出力用外部電極205となる。また、本実施の形態の静電気対策部品に2つのバリスタ201は、図7に示す内部電極11D、11Fおよびこれらにより挟まれたバリスタ層10Gと、内部電極11E、11Fおよびこれらにより挟まれたバリスタ層10Gとによりそれぞれ構成されている。また、インダクタ206はインダクタ導体19を主として構成されている。

- [0074] 上記したように、本実施の形態における静電気対策部品は、第1の実施の形態および第2の実施の形態における静電気対策部品と同様に、バリスタ層の材料よりも比誘電率の低いガラスセラミック基板を用いている。したがって、静電気対策部品の浮遊容量を小さくすることができる。この結果、静電容量の非常に小さい静電気対策部品を得ることができる。
- [0075] また、本実施の形態における静電気対策部品は、セラミック絶縁基板20としてインダクタを内蔵したガラスセラミック基板を用いている。さらに、内部電極11D、11Eとインダクタ導体19とをそれぞれビア導体17によって接続している。この接続構成とすることで、2つのバリスタとインダクタを $\pi$ 字型に繋いだ構成となる。これにより、さらに優れたフィルタ機能を有する静電気対策部品が得られる。
- [0076] つぎに、本実施の形態にかかる静電気対策部品の製造方法について、図7および図8を用いて説明する。
- [0077] まず、ホウ珪酸ガラスとアルミナを主成分とするガラスセラミック粉末および有機バインダを含むガラスセラミック生シートを作製し準備する。この時、このガラスセラミック生シートの厚みは約30  $\mu$ mとした。
- [0078] つぎに、このガラスセラミック生シートを複数枚積層する(図7では、4枚)。この積層した生シートの一番上で焼成後にガラスセラミック層20Bとなる生シート上に、銀を主成分とする導体ペーストを用いて、例えばスクリーン印刷法でインダクタ導体19となる導体層を形成する。
- [0079] その上に、インダクタ導体19となる導体層の両端、内部電極11D、11Eとなる導体層にそれぞれ電氣的に接続する位置にビア導体17となる導体ペーストが充填されたガラスセラミック生シートを複数枚積層する(図7では、3枚)。なお、これらのガラスセラミック生シートは焼成後にはガラスセラミック層20Cとなる。



- [0080] このような構成からなる積層体を大気中で加熱して脱バインダ処理する。その後、大気中で940℃まで加熱して焼成する。これにより、インダクタを内蔵したガラスセラミック基板20が得られる。なお、このガラスセラミック基板20の厚みは約250  $\mu\text{m}$ とした。
- [0081] つぎに、酸化亜鉛を主成分とするセラミック粉末と有機バインダとを含む酸化亜鉛生シートを作製し準備する。この時、生シートの厚みは約30  $\mu\text{m}$ とした。
- [0082] つぎに、インダクタ導体19の両端および内部電極11D、11Eに、それぞれ電氣的に接続する位置に導体ペーストが充填された酸化亜鉛生シートを作製する。なお、この酸化亜鉛生シートは焼成後にバリスタ層10Fとなり、導体ペーストは焼成後にビア導体17となる。
- [0083] この酸化亜鉛生シートの上に銀を主成分とする導体ペーストを用いて、例えばスクリーン印刷法で内部電極11Fとなる導体層を形成する。その上に、上記と同様にインダクタ導体19の両端および内部電極11D、11Eに電氣的に接続する位置に導体ペーストが充填された酸化亜鉛生シートを積層する。なお、この酸化亜鉛生シートは焼成後にバリスタ層10Gとなり、導体ペーストはビア導体17となる。
- [0084] さらに、この酸化亜鉛生シートの上に、導体ペーストを用いて、例えばスクリーン印刷法で、内部電極11D、11Eとなる導体層を形成する。その上に、さらに酸化亜鉛生シートを積層した。この酸化亜鉛生シートは焼成後にはバリスタ層10Hとなる。これにより、バリスタ部70となる積層体を得られる。
- [0085] つぎに、この積層体を上記のガラスセラミック基板20上に貼り付けて積層体ブロックとする。このとき、ビア導体17がインダクタ導体19の両端部とそれぞれ電氣的に接続するように貼り付ける。なお、導体層の厚みは約2.5  $\mu\text{m}$ とした。
- [0086] なお、本実施の形態では、ガラスセラミック基板20上に複数個の静電気対策部品を作製する。このために、印刷した導体層のパターンは、図7に示す形状を多数、ガラスセラミック生シートおよび酸化亜鉛生シート上にそれぞれ形成する。これにより、切断した後には、図8に示す形状の静電気対策部品を一度に多数作製することができる。
- [0087] つぎに、上記の積層体ブロックを大気中で加熱して脱バインダ処理する。その後、

大気中で930℃まで加熱して焼成し、一体化した焼結体を形成する。この後、所定の寸法に切断分離する。これにより、図7および図8に示す形状の静電気対策部品を形成する前段階である、外部電極15A、15B、15Cの形成されていない状態のセラミック焼結体が得られる。

[0088] 続いて、このセラミック焼結体の短辺側の両端部で、内部電極11Fが延在されて露出した部分に銀を主成分とする導体ペーストを塗布する。さらに、長辺側の両端部で、内部電極11D、11Eがそれぞれ露出した部分に同様に銀を主成分とする導体ペーストを塗布する。これらの塗布後、800℃で焼付けを行って、外部電極15A、15B、15Cを形成する。これにより、図7および図8に示した本実施の形態にかかる静電気対策部品が得られる。

[0089] 作製した本実施の形態にかかる静電気対策部品は、長手方向寸法が約1.0mm、幅方向寸法が約0.5mm、厚み方向寸法が約0.3mmである。そして、外部電極15Aと15Bとの間の静電容量は1.0pF、バリスタ電圧 $V_{1mA} = 27V$ であった。また、同様に、外部電極15Aと15Cとの間の静電容量は1.0pF、バリスタ電圧 $V_{1mA} = 27V$ であった。さらに、外部電極15Bと15Cとの間のインダクタンスは約3nHであった。

[0090] また、本実施の形態にかかる静電気対策部品は、 $\pi$ 型フィルタの構成とし、容量値とインダクタンスもフィルタ計算に合わせた数値としている。これにより、3GHz付近に共振を持つ3段の急峻なフィルタ特性を持っており、より優れたノイズフィルタとしての特性を有していることが確認できた。以下、このようにして作製した本実施の形態の静電気対策部品を実施例3とよぶ。

[0091] つぎに、本実施の形態の静電気対策部品である実施例3について、静電気試験を行い評価した結果について説明する。

[0092] 評価方法は、第1の実施の形態で説明した静電気試験と同様に行った。本実施の形態では、実施例3を図4に示す評価試料109として、入力用外部電極204を信号ライン108の入力側、つまり抵抗106側に接続し、出力用外部電極205を信号ライン108の出力側、つまり被保護機器110側に接続し、グランド用外部電極203をグランドライン107に接続した。そして、図4に示す回路により印加される静電気パルスの電圧8kVを印加し、被保護機器110に印加される静電気パルスのピーク電圧値を測定

して、その抑制効果を評価した。

[0093] この結果、実施例3を設けた場合、被保護機器110に印加されるピーク電圧値は約200Vであった。この結果から、実施例1および実施例2よりも静電気パルスに対する吸収抑制効果が高いことがわかった。

[0094] なお、本実施の静電気対策部品は、1つのインダクタと2つのバリスタとで $\pi$ 型フィルタとした構成を示したが、本発明はこれに限定されない。この他に、例えばインダクタ部のインダクタ導体19とバリスタ部の内部電極11D、11E、11Fの構成およびその接続方法を変えてT型の多段構成とし、さらにそのインダクタンスと静電容量を適当な値に調整することで、3段以上の多段構成からなるローパスフィルタとしてもよい。このような構成とすることにより、ローパスフィルタとしての機能をさらに高めることもできる。

[0095] なお、第1の実施の形態から第3の実施の形態までにおいては、静電対策部品としての形状を1.0mm×0.5mm×0.3mmとした場合について説明したが、この大きさには特に限定されない。製造工法や強度が許容される限り、さらに大きくしてもあるいは小さくしてもよい。

[0096] また、本発明の静電気対策部品は、アルミナなどの強度の高い基板を使うため、薄型の静電気対策部品を作製しても十分な強度を有する。このため、その全体の厚みは上記の実施の形態で説明した厚みに限定されるものではない。

[0097] また、第1の実施の形態から第3の実施の形態までは、バリスタ部のバリスタ機能を有する有効層の層数は1層としたが、このような有効層は何層あっても構わない。また、セラミック絶縁基板はアルミナ基板とガラスセラミック基板を用いたが、フェライトや高誘電率誘電体などを用いても良い。また、導体ペーストは銀ペーストを用いた例について説明したが、銀-パラジウムペースト、白金ペーストなど他の導体ペーストを用いても良い。また、内部電極はバリスタ部とセラミック絶縁基板との界面に形成してもよい。

[0098] また、第2の実施の形態の場合についてのみ保護膜を形成した例について説明したが、第1の実施の形態および第3の実施の形態においても、保護膜を形成してめっきを施してもよい。このような構成にすれば、第2の実施の形態の静電気対策部品と

同様に、より実装性の優れた静電気対策部品を得ることができる。

- [0099] さらに、保護膜の形成およびめっきは、焼結体を所望の寸法に切断分離する前であっても、切断分離後でもよい。

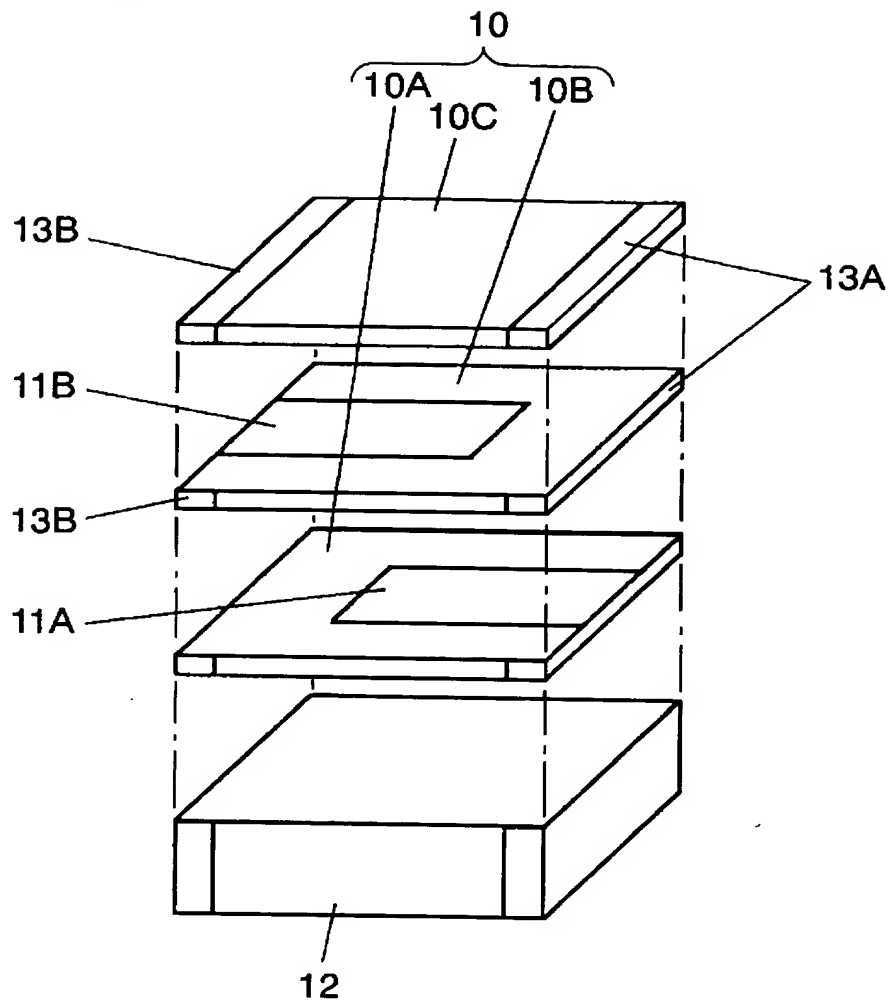
#### 産業上の利用可能性

- [0100] 本発明に係る静電気対策部品は、極めて低容量の静電気対策部品であり、高周波のクロック周波数で作動する電子機器でも、その動作に影響を与えることがないので、静電気パルスによる破壊から高周波の電子機器を保護する部品分野において有用である。

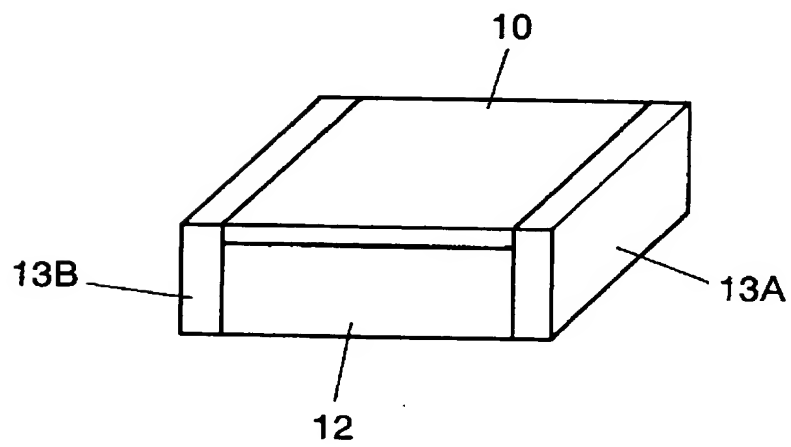
## 請求の範囲

- [1] セラミック絶縁基板と、  
前記セラミック絶縁基板上に焼結一体化して設けたバリスタ層と内部電極とからなるバリスタ部と、  
前記バリスタ部に設けた少なくとも一对の外部電極とを有し、  
前記バリスタ部にバリスタを形成した静電気対策部品。
- [2] 前記外部電極は前記バリスタ部の同一面に焼結一体化して設けた構成からなる請求項1に記載の静電気対策部品。
- [3] 前記セラミック絶縁基板の厚みは、前記バリスタ部の厚みの2倍以上とした請求項1に記載の静電気対策部品。
- [4] 前記バリスタ層は酸化亜鉛を主成分とする材料であり、かつセラミック絶縁基板は酸化銅の含有量が重量比で0.1%以下のアルミナ基板である請求項1に記載の静電気対策部品。
- [5] 前記バリスタ部の上面は、前記外部電極の形成領域を除き保護膜が形成されている請求項1に記載の静電気対策部品。
- [6] 前記セラミック絶縁基板はインダクタを内蔵し、前記インダクタは前記バリスタ部の前記バリスタに電氣的に接続された請求項1に記載の静電気対策部品。
- [7] 前記バリスタは2個からなり、前記バリスタと前記インダクタとにより $\pi$ 型フィルタ構成とした請求項6に記載の静電気対策部品。
- [8] 前記バリスタと前記インダクタとを複数設けて多段構成のローパスフィルタとした請求項6に記載の静電気対策部品。

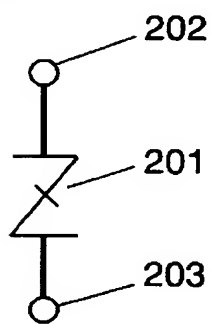
[図1]



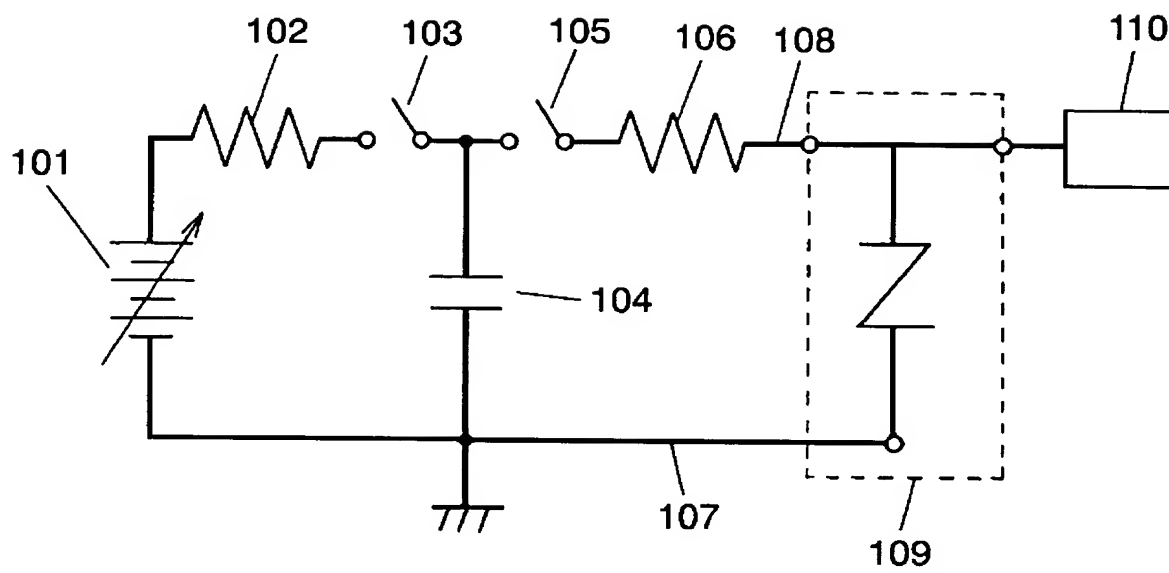
[図2]



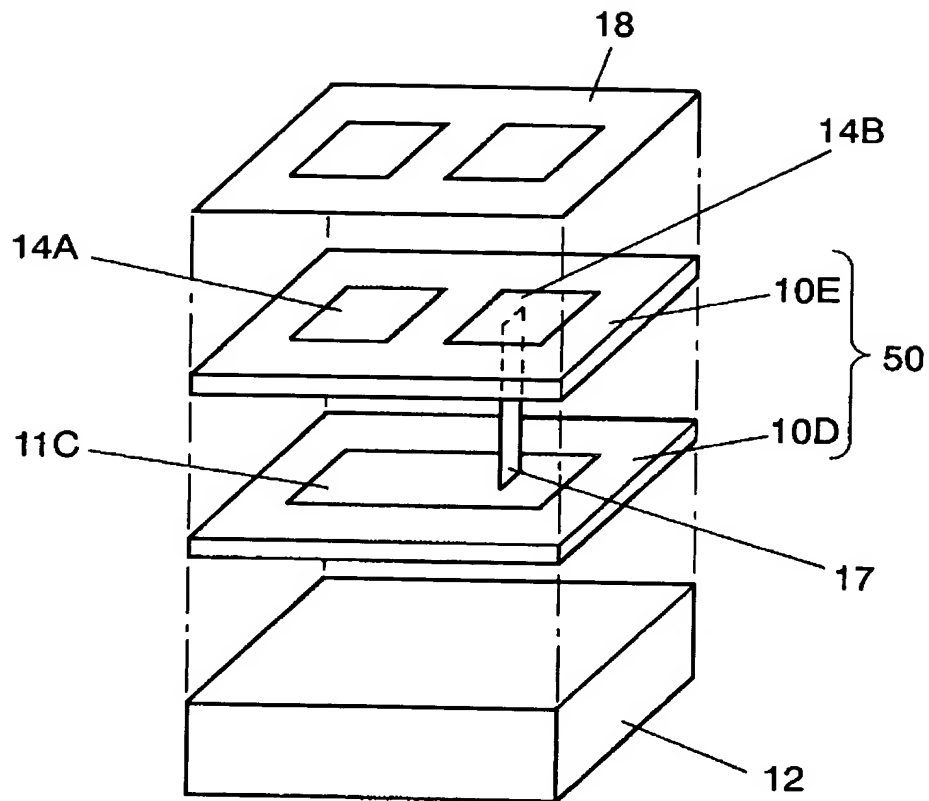
[図3]



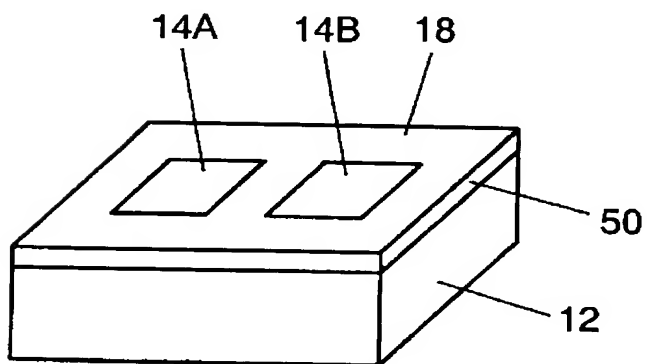
[図4]



[図5]

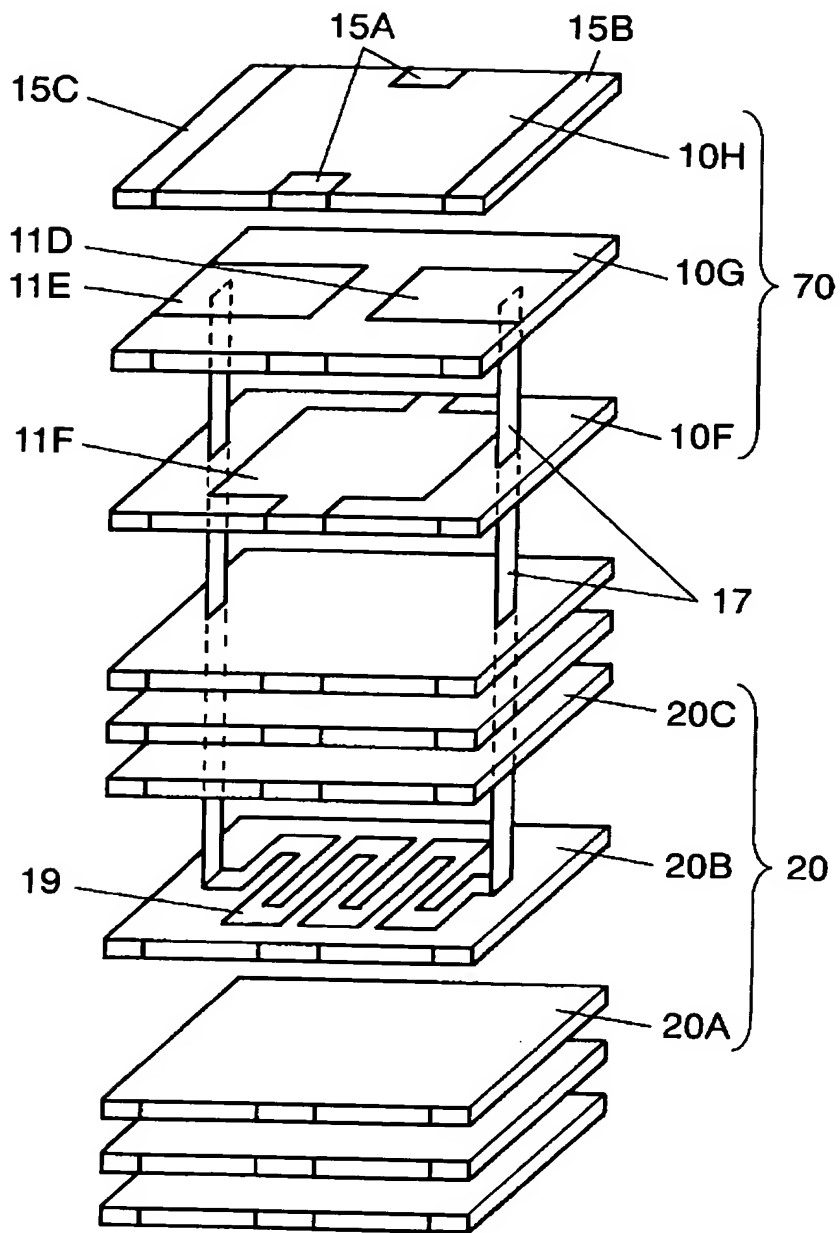


[図6]

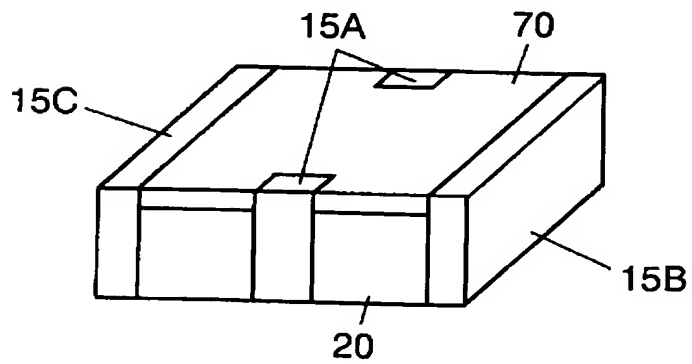




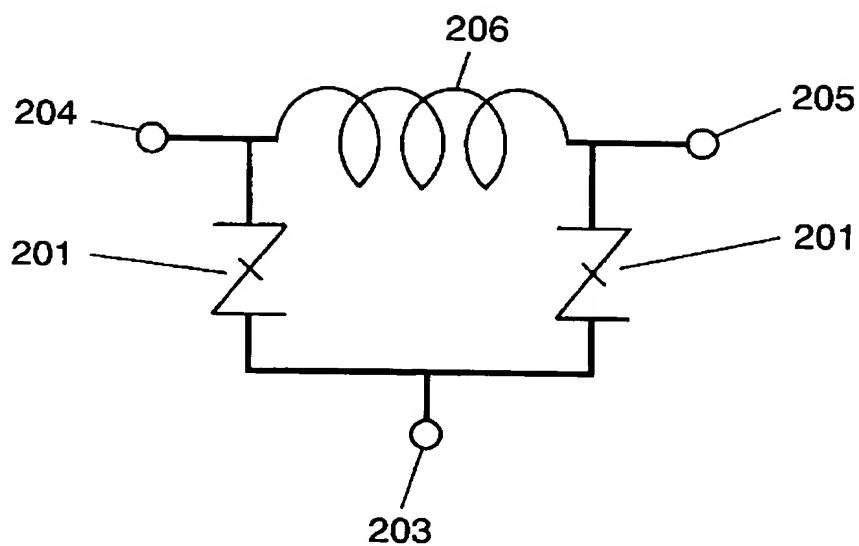
[図7]



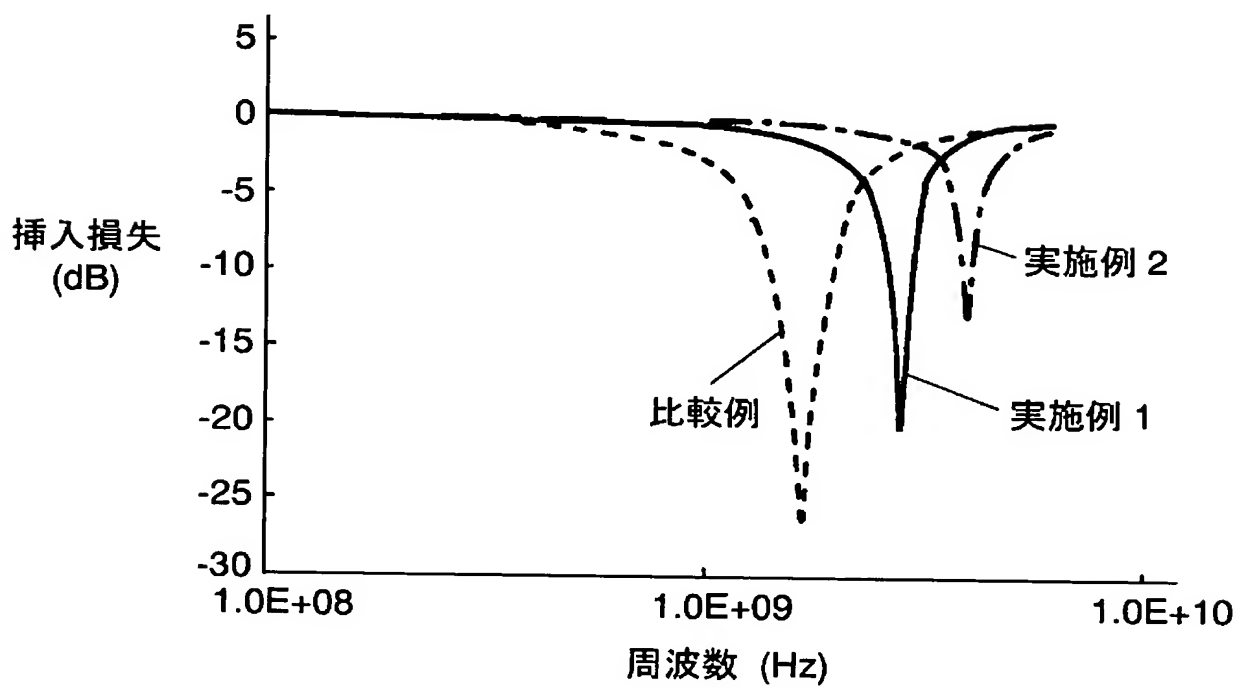
[図8]



[図9]



[図10]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004186

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01C7/10, H01F27/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01C7/10, H01F27/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005  
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 58-85502 A (Matsushita Electric Industrial Co., Ltd.), 21 May, 1983 (21.05.83), Full text; all drawings (Family: none)	1-3, 5 4, 6-8
Y	JP 7-33514 A (Nippondenso Co., Ltd.), 03 February, 1995 (03.02.95), Full text; all drawings (Family: none)	4
Y	JP 11-251152 A (Matsushita Electric Industrial Co., Ltd.), 17 September, 1999 (17.09.99), Full text; all drawings (Family: none)	6-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
26 May, 2005 (26.05.05)

Date of mailing of the international search report  
14 June, 2005 (14.06.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## 国際調査報告

国際出願番号 PCT/JP2005/004186

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01C7/10, H01F27/00

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01C7/10, H01F27/00

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 58-85502 A (松下電器産業株式会社) 1983. 05. 21, 全文、全図 (ファミリーなし)	1-3, 5 4, 6-8
Y	JP 7-33514 A (日本電装株式会社) 1995. 02. 03, 全文、全図 (ファミリーなし)	4
Y	JP 11-251152 A (松下電器産業株式会社) 1999. 09. 17, 全文、全図 (ファミリーなし)	6-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

26. 05. 2005

国際調査報告の発送日

14. 6. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

5R

9298

重田 尚郎

電話番号 03-3581-1101 内線 3565